

EYE PATTERN DISPLAY SYSTEM

Patent Number: JP62003544
Publication date: 1987-01-09
Inventor(s): YOSHIDA ATSUSHI
Applicant(s): NEC CORP
Requested Patent: ☒ JP62003544
Application Number: JP19850141528 19850629
Priority Number(s):
IPC Classification: H04L27/00
EC Classification:
Equivalents: JP1747726C, JP4031452B

Abstract

PURPOSE: To obtain an eye pattern being not unnatural without using a screen storage type oscilloscope, a large RAM and a large software by writing a next data to an address written in at first when data are written in the entire area.

CONSTITUTION: A RAM bank 13 has 512-byte X 2 constitution and the input/ output is separated. An output of a 1/511 frequency divider 12 is a pulse in 0.2kHz and reception signal point data X, Y are written in the RAM bank 13 once per 5ms by giving the said pulse to a WR input of the RAM bank 13. Since a clock in 102.2kHz is given to an RD input of the RAM bank 13, data of addresses 000, 001, 002... are read sequentially from the RAM bank 13 at each 9.78mus and sent to D/A converters 14, 15. Output voltages (x, y) of the D/A converters 14, 15 are given to, e.g., an X-Y oscilloscope, on which an eye pattern is displayed.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-3544

⑤ Int.Cl.⁴
H 04 L 27/00

識別記号 庁内整理番号
E-8226-5K

④ 公開 昭和62年(1987)1月9日

審査請求 未請求 発明の数 2 (全4頁)

⑬ 発明の名称 アイパターン表示方式

⑭ 特 願 昭60-141528

⑮ 出 願 昭60(1985)6月29日

⑯ 発 明 者 吉 田 厚 東京都港区芝5丁目33番1号 日本電気株式会社内
⑰ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑱ 代 理 人 弁理士 芦 田 坦 外2名

明 細 書

1. 発明の名称

アイパターン表示方式

2. 特許請求の範囲

1) デジタル信号処理方式により線形復調を行なう1/Tボーのデータモデム受信機において、受信信号点の実数部と虚数部の2ワードを1組とする複素データを、少なくとも2Nワードの記憶容量を有するランダムアクセスメモリ(RAM)に、T秒に1度アドレスをモジュロNに従って1ずつ増加或いは減少して書き込み、T/K($K>1$)秒に1度アドレスをモジュロM($M\leq N$)に従って更新して前記複素データを読み出し、該複素データの実数部と虚数部を、2次元表示器に表示することを特徴とするアイパターン表示方式。

2) デジタル信号処理方式により線形復調を行なう1/Tボーのデータモデム受信機において、受信信号点の実数部と虚数部の2ワードを1組とす

る複素データを、少なくとも2Nワードの記憶容量を有するRAMに、T秒に1度アドレスをモジュロL($L<N$)に従って0番地よりL-1番地に1ずつ増加或いは減少して書き込み、表示すべき任意のデータを前記RAMのL番地よりN-1番地に書き込み、T/K($K>1$)秒に1度アドレスをモジュロM($M\leq L$)に従い更にL番地よりN-1番地も指す様に更新して前記複素データ及び前記L番地よりN-1番地の任意のデータを読み出し、2次元表示器に表示することを特徴とするアイパターン表示方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はデータモデムの機能の1つであるアイパターン表示の方式に関するものである。

〔従来技術とその問題点〕

従来データモデムのアイパターンは、1ボーに1回出力される受信信号点の実数部と虚数部をそれぞれアナログ信号に変換した後X-Yオシロス

コープで表示していた。例えば2400ボー、9600 bps のモデムの場合、 $\frac{1}{2400}$ 秒に1回、16個のデータ点の近傍に1つの受信信号点が表示されるので、X-Yオシロスコープの画面は人間の視覚にはほぼ静止しているように感じられる。

ところが近年データモデムの高速化によって、データ点配置として64点、128点、256点配置などが採用されるようになると、受信信号点があるデータ点の近傍に現われる確率が低下するため、データ点が増加するに従ってX-Yオシロスコープの画面がちらついて見えるようになり、更には受信信号点の全体像を捉えることが困難になり、アイパターン監視としての機能を果さなくなる。

この問題を解決する手段として第1の方法は、管面蓄積型のX-Yオシロスコープを利用することである。通常の管面蓄積型オシロスコープには、一度発光した点を数秒後に消してしまいう機能があるため、この機能を用いると充分にアイパターン監視を行なえる。しかしながら管面蓄積型のオン

ットごとにソフトウェアでタイマーを備え、あるビットにデータが書き込まれると一定時間経過後に、該当するビットだけクリアするという操作が必要であり、大規模なソフトウェアが必要である。
〔本発明の解決すべき問題点〕

したがって本発明は、管面蓄積型オシロスコープを用いず、大容量のRAMを用いず、ソフトウェアを大きくすることなしに、簡単な構成で自然さを失わないアイパターンを表示することにある。
〔問題点を解決するための手段〕

本発明によれば、デジタル信号処理方式により線形復調を行なう1/Tボーのデータモデム受信機において、受信信号点の実数部と虚数部の2ワードを1組とする複素データを、少なくとも2Nワードの記憶容量を有するランダムアクセスメモリ(RAM)に、T秒に1度アドレスをモジュロNに従って1ずつ増加或いは減少して書き込み、T/K($K > 1$)秒に1度アドレスをモジュロM($M \leq N$)に従って更新して前記複素データを読み出し、該複素データの実数部と虚数部を、2次元表示器に

ロスコープは非常に高価である上、ビームの静止点の部分の蛍光膜がはがれることがあり、好ましくない。

第2の方法としては通常のグラフィックディスプレイ装置のように、ブラウン管の画面上での座標に対応したRAMを備え、受信信号点のデータを、そのRAMのアドレスに変換して書き込み、ブラウン管に表示することが考えられる。

しかしながらこの第2の方法には以下に示す欠点がある。すなわち、その1つの欠点は大容量のRAMが必要になることである。例えばアイパターン画面の分解能を縦256ドット×横256ドットとすると、64KビットものRAMが必要である。更にこの64KビットのRAMを1ビットずつ走査してブラウン管に表示する信号を発生させるためのハードウェアが必要である。又もう1つの欠点は、1度書き込まれたデータはRAMをクリアしない限り消えないので、アイパターンが画面上で積分され、しだいに見にくくなるのを防ぐ為に、周期的にRAMをクリアしてアイパターンを消すが、1ビ

表示することを特徴とするアイパターン表示方式が得られる。又この方式では、前記の複素データのほかに、任意のデータを書き出し又読出すことができる。アイパターン表示方式を得ることができる。

上記のような構成を用いた本発明のアイパターン方式においては、上記のようにして全領域に書き込まれると次はまた最初に書き込んだ番地に次のデータを書き込むことになるので、或る特定のデータについていうと、ボー周期をT(秒)とすると、 $T \times N$ (秒)の間RAM領域内に存在することになる。従ってこのRAM領域内のデータを高速でアドレスを更新しながら繰り返し読み出し表示器に出力すれば、表示器上には1つの受信信号点があたかも $T \times N$ (秒)の間残像として蓄積されたように見える。

〔実施例〕

以下に本発明の実施例を説明する。

第1図は、200ボー128点配置マルチチャネルモデムのアイパターン表示部をハードウェア

アにより実現した本発明の実施例である。9ビットの2進カウンタ11及び511分周器12には102.2 kHzのクロック入力(CLK)が与えられる。RAMバンク13は512バイト×2の構成となっており、入出力は分離されている。511分周器12の出力は0.2 kHzのパルスとなり、このパルスをRAMバンク13のWR入力に与えることにより、受信信号点データ(X, Y)を5 ms ($= \frac{1}{0.2 \text{ kHz}}$)に1回、RAMバンク13に書き込む。一方9ビット2進カウンタ11はRAMバンク13のアドレス000~1FFを順次発生するが、クロック入力CLKが102.2 kHzであるため、5 msごとにアドレスを見ると、000, 001, 002, ...となる。即ち受信信号点はRAMバンク13の000, 001, 002, ..., 1FF, 000, ...なるアドレスに順次書き込まれる。またRAMバンク13のRD入力には102.2 kHzのクロックが与えられているため、RAMバンク13より9.78 μs ($= \frac{1}{102.2 \text{ kHz}}$)ごとに000, 001, 002, ...番地のデータが順次読み出され、D/Aコンバー

タ14, 15に送られる。D/Aコンバータ14, 15の出力電圧 $\frac{X}{X+Y}$ は例えばX-Yオシロスコープ等と与えられ、アイパターンを表示する。本実施例では、1つの受信信号点が残像として残る時間は、

$$5 \text{ ms} \times 512 = 2.56 \text{ sec}$$

である。

上記の実施例においては、最初の複素データのX, Yはアドレス0とN-1に、次の複素データのX, Yはアドレス1とNに、以下同様にして、最後の複素データのX, YはアドレスN-1と2N-1に書き込まれ、更に続けられアドレス0, N-1にそれまでのを消して書き込むようになっていいる。読出しについても同様である。しかし書き込み読出し法はこれに限られることなく、例えば最初の複素データはアドレス0と1に、次のX, Yはアドレス2と3に、以下同様にN番目のX, YはNと2N-1に書き込むことができる。極端に言えば順序はどうでもよく、要は各N個のXとYがなおメモリは2N個に限らずそれ以上でもよい。2N個のメモリの中に書き込まれればよいのである。

第2図は同様のモデムのアイパターン表示部をマイクロコンピュータのソフトウェアにより実現した本発明の実施例の構成をあらわす図である。第2図において、中央処理装置(CPU)21は2つの割り込み入力INT1とINT2を有し、これらの割り込みはインターバルタイマ22より周期的に発生する。INT1はポーレートに同期しており5 ms周期、INT2は読み出し周期であり、本実施例では約52 μs 周期である。リードオンリメモリ(ROM)23はプログラムを蓄積し、ランダムアクセスメモリ(RAM)24は受信信号点(X, Y)と任意のデータ例えばチャンネル表示パターン受信品質表示パターン、装置の名称、メーカー名などを蓄積する。なお受信品質表示パターンとしては例えば回線の位相ジッタ量を棒の長さであらわすようなものがある。出力ポート25, D/Aコンバータ26, 27はX-Yオシロスコープなどに出力するアイパターン表示信号を出力し、入力ポート28は受信信号点(X, Y)を入力する。このようにしてオシロスコープの画面にはアイパター

ンと任意のデータが並んで表示される。

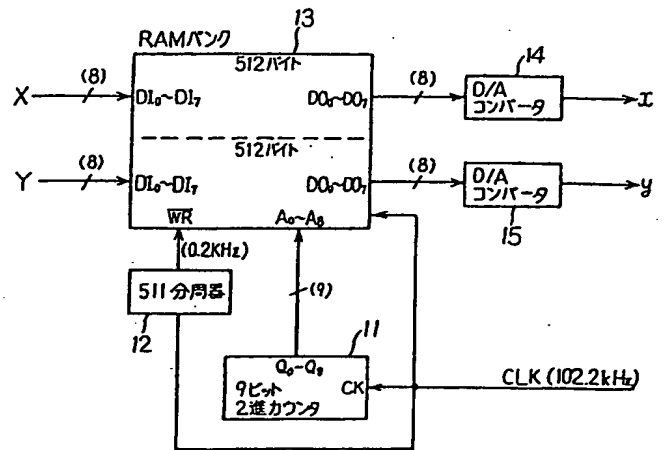
第3図は第2図の実施例におけるソフトウェアの詳細を説明するフローチャートを示している。以下このフローチャートに従って説明すると、INT1が割込んでくると、インデックスレジスタ1(IX1)で示す番地と次の番地に受信信号点(X, Y)を書き込む。インデックスレジスタIX1は2ずつ更新され、L-2に達すると0に戻る。即ち受信信号点(X, Y)は0~L-1番地の領域に書き込まれる。更にL~N-1番地には、現在表示しているアイパターンが何チャンネルのものかを表示するための表示パターンを書き込む。一方INT2が発生すると、インデックスレジスタ2(IX2)で示す番地と次の番地のデータを出力ポート25に出力する。インデックスレジスタIX2は2ずつ更新され、N-2に達すると0に戻る。更ち、出力ポート25には0~L-1番地に書かれている受信信号点及びL~N-1番地に書かれているチャンネル表示パターンを出力する。
[発明の効果]

以上の説明から分るように、本発明の方式によれば、管面着積型オシロスコープ、大きなRAM、大きなソフトウェアを用いることなしに、自然さを失わないアイパターンを簡単な構成で得ることができる。

4. 図面の簡単な説明

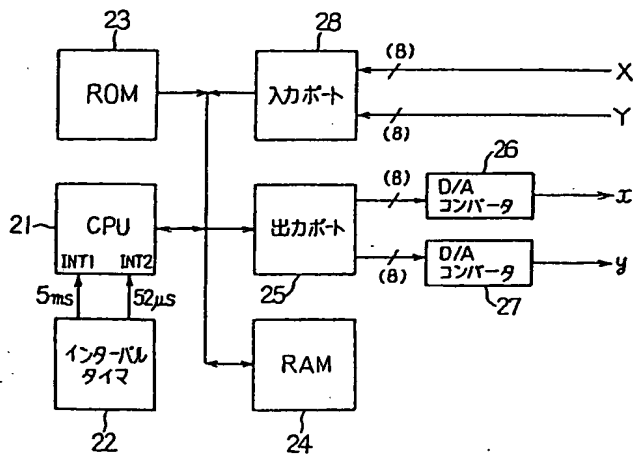
第1図は本発明の第1の実施例の構成を示す図、第2図は第2の実施例の構成を示す図、第3図は第2の実施例のフローチャートである。

記号の説明：11は9ビット2進カウンタ、12は511分周器、13はRAMバンク、14と15はD/Aコンバータ、21は中央処理装置(CPU)、22はインターバルタイマ、23はリードオンリメモリ(ROM)、24はランダムアクセスメモリ(RAM)、25は出力ポート、26と27はD/Aコンバータ、28は入力ポートをそれぞれあらわしている。

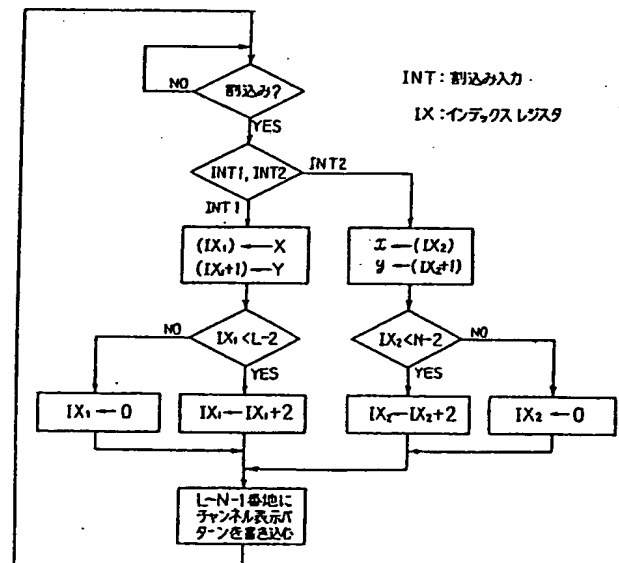


第1図

代理人 (7783) 弁理士 池田 憲 保



第2図



第3図